



Docket No.: 543822003900
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Manfred DOBLER et al.

Application No.: 10/757,549

Confirmation No.:

Filed: January 15, 2004

Art Unit: 2812

For: HOUSING, IN PARTICULAR FOR...

Examiner: Not Yet Assigned

SUBMISSION OF CERTIFIED FOREIGN PRIORITY DOCUMENT

Director of the US Patent and Trademark Office
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicants hereby claim priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	103 01 480.2	January 16, 2003

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: June 10, 2004

Respectfully submitted,

By 

Kevin R. Spivak

Registration No.: 43,148

MORRISON & FOERSTER LLP

1650 Tysons Blvd, Suite 300

McLean, Virginia 22102

(703) 760-7762



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 01 480.2

Anmeldetag: 16. Januar 2003

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Gehäuse, insbesondere für Halbleiter-Bauelemente,
Halbleiter-Bauelement-Pin, sowie Verfahren zur Her-
stellung von Pins

IPC: H 01 L 23/50

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.

München, den 09. Januar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to be 'H. H. H.' or similar, written over a horizontal line.

Hoiß

Beschreibung

Gehäuse, insbesondere für Halbleiter-Bauelemente, Halbleiter-Bauelement-Pin, sowie Verfahren zur Herstellung von Pins

5

Die Erfindung betrifft ein Gehäuse, insbesondere für Halbleiter-Bauelemente, einen Halbleiter-Bauelement-Pin, sowie ein Verfahren zur Herstellung von Pins.

10

Zur Herstellung von Halbleiter-Bauelementen (z.B. entsprechenden, integrierten (analogen bzw. digitalen) Rechenschaltkreisen, Halbleiter-Speicherbauelementen wie z.B. Funktionsspeicher-Bauelementen (PLAs, PALs, etc.) und Tabellenspeicher-Bauelementen (z.B. ROMs oder RAMs, insbesondere SRAMs und DRAMs)) werden sog. Wafer (d.h. dünne, aus einkristallinem Silizium bestehende Scheiben) verwendet.

15

Die Wafer werden entsprechend bearbeitet (z.B. einer Vielzahl von Beschichtungs-, Belichtungs-, Ätz-, Diffusions-, und Implantations-Prozess-Schritten, etc. unterzogen), und daraufhin z.B. zersägt (oder z.B. geritzt, und gebrochen), so dass dann die einzelnen Bauelemente zur Verfügung stehen.

20

Nach dem Zersägen des Wafers werden die - dann einzeln zur Verfügung stehenden - Bauelemente jeweils einzeln in spezielle Gehäuse bzw. Packages (z.B. entsprechende steck- oder oberflächenmontierbare Gehäuse, z.B. sog. TSOP-Gehäuse, etc.) geladen, und dann entsprechende (z.B. oben an den Halbleiter-Bauelementen vorgesehene) Halbleiter-Bauelement-Kontakte (Pads) - z.B. mittels entsprechender Bond-Drähte - mit entsprechenden Anschluß-Stiften bzw. Pins des jeweiligen Gehäuses verbunden.

25

30

35

Die Anschluß-Stifte bzw. Pins dienen dazu, ein oder mehrere Halbleiter-Bauelemente an ein entsprechendes Halbleiter-

Bauelement-Modul (z.B. eine entsprechende Leiterplatte oder Platine) anzuschließen.

Die Anschluß-Stifte bzw. Pins können sich z.B. - insbesondere bei TSOP-Gehäusen - jeweils von entsprechenden Gehäuse-Seitenwänden aus (beispielsweise von einer linken, und einer rechten Gehäuse-Seitenwand aus) seitlich nach unten hin erstrecken (wobei an ein- und derselben Seitenwand - auf nebeneinanderliegende Weise - jeweils eine Vielzahl, z.B. jeweils mehr als fünf oder sieben, Anschluß-Stifte bzw. Pins angeordnet sein können).

Werden entsprechende (untere) End-Abschnitte der Anschluß-Stifte bzw. Pins mit entsprechenden Anschlüssen an der Leiterplatte bzw. der Platine verlötet, wird ein elektrischer Kontakt zwischen dem entsprechenden Modul- bzw. Leiterplatten-Anschluß, und dem entsprechenden Anschluß-Stift bzw. Pin hergestellt (und damit auch ein elektrischer Kontakt zu dem entsprechenden, mit diesem verbundenen Halbleiter-Bauelement-Kontakt (Pad)).

Allerdings weisen die Leiterplatte bzw. Platine, und das an diese auf die oben beschriebene Weise angeschlossene Halbleiter-Bauelement-Gehäuse i.A. jeweils unterschiedliche thermische Ausdehnungskoeffizienten auf.

Beim Erwärmen oder Abkühlen eines Halbleiter-Bauelement-Moduls treten somit mechanische Spannungen zwischen Leiterplatte bzw. Platine, und Halbleiter-Bauelement-Gehäuse auf.

Diese mechanischen Spannungen können so groß sein, daß es zu einem Aufbrechen bzw. Abreißen der Lötverbindung zwischen einem Anschluß-Stift bzw. Pin, und dem entsprechenden Modul- bzw. Leiterplatten-Anschluß kommen kann.

In der Regel reißen - bei nebeneinanderliegend (z.B. an ein- und derselben Seitenwand) angeordneten - Anschluß-Stiften bzw. Pins die Lötverbindungen derjenigen Anschluß-Stifte bzw. Pins zuerst ab, die am Gehäuse am weitesten außen liegend angeordnet sind (z.B. am weitesten rechts bzw. links an der vorderen bzw. hinteren Seitenwand liegend) - die durch die o.g. unterschiedlichen thermischen Ausdehnungskoeffizienten von Leiterplatte bzw. Platine, und Halbleiter-Bauelement-Gehäuse entstehenden Spannungen sind bei diesen Pins am größten.

Das Aufbrechen bzw. Abreißen von Lötverbindungen ist eine der häufigsten Ursachen für das Ausfallen von Halbleiter-Bauelement-Modulen.

15

Die Erfindung hat zur Aufgabe, ein neuartiges Gehäuse, insbesondere für Halbleiter-Bauelemente, einen neuartigen Halbleiter-Bauelement-Pin, sowie ein neuartiges Verfahren zur Herstellung von Pins zur Verfügung zu stellen.

20

Sie erreicht dieses und weitere Ziele durch die Gegenstände der Ansprüche 1, 10 und 11.

25 Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Gemäß einem Grundgedanken der Erfindung wird ein Verfahren zur Herstellung von Pins zur Verfügung gestellt, bei welchem mit Hilfe eines oder mehrere Stanz-Prozess-Schritte mindestens ein Pin aus einem Grund-Körper, insbesondere einem Leadframe ausgestanzt wird, dadurch gekennzeichnet, dass erst nach dem endgültigen Ausstanzen des Pins der Pin mit einer separaten Metallschicht überzogen wird.

30
35

Dadurch kann z.B. erreicht werden, dass auch die Stirnfläche am äußeren End-Abschnitt des Pins mit einer Metallschicht überzogen wird.

- 5 Wird ein derartiger Pin - mittels eines entsprechenden Lötprozesses - an eine Leiterplatte angeschlossen, wird durch die hierdurch geschaffene Lötverbindung auch die jeweilige Pin-Stirnfläche vom Lot bzw. Lötzinn benetzt - die Lötverbindung ist somit mechanisch relativ stark belastbar.

10

Anders als bei der o.g. Vorgehensweise zur Herstellung von Pins wird im Stand der Technik - noch vor dem endgültigen Ausstanzen eines Pins - der Grund-Körper bzw. Leadframe mit einer entsprechenden Metallschicht überzogen, und erst dann der Pin (endgültig) aus dem Grund-Körper bzw. Leadframe ausgestanzt - die Pin-Stirnfläche ist dann ohne Metallschicht ausgeführt.

15

- Wird ein derartiger Pin an eine Leiterplatte angelötet, ist nicht sichergestellt, dass durch die hierdurch geschaffene Lötverbindung auch die jeweilige Pin-Stirnfläche vom Lot bzw. Lötzinn benetzt wird - die Lötverbindung ist somit mechanisch i.A. nur relativ wenig stark belastbar.

20

- 25 Da - wie oben erläutert - mit der Erfindung stabilere Lötverbindungen geschaffen werden können, als im Stand der Technik, kann z.B. verhindert werden, dass die Lötverbindungen - z.B. bedingt durch die o.g., auf unterschiedlichen thermischen Ausdehnungskoeffizienten des Halbleiter-Bauelement-Gehäuses und der Leiterplatte hervorgerufene mechanischen Spannungen - aufbrechen bzw. abreißen können.

30

- 35 Im folgenden wird die Erfindung anhand eines Ausführungsbeispiels und der beigefügten Zeichnung näher erläutert. In der Zeichnung zeigt:

Figur 1 eine schematische Darstellung von bei der Fertigung von Halbleiter-Bauelementen von entsprechenden Halbleiter-Bauelementen durchlaufenen Stationen;

5

Figur 2 eine schematische Ansicht eines der in Figur 1 gezeigten Gehäuse - vor der Durchführung entsprechender Stanz- und Galvanisier-Prozessschritte - von oben;

10 Figur 3 eine schematische Ansicht des in Figur 2 gezeigten Gehäuses - vor der Durchführung entsprechender Stanz- und Galvanisier-Prozessschritte - von der Seite;

15 Figur 4 eine schematische Ansicht des in Figur 1, 2 und 3 gezeigten Gehäuses von oben, zur Veranschaulichung der an dem Gehäuse durchgeführten Stanz-Prozessschritte;

20 Figur 5 ein Flussdiagramm zur Veranschaulichung der bei dem Ausführungsbeispiel der Erfindung durchgeführten Prozess-Schritte;

Figur 6 eine schematische Ansicht des in Figur 1, 2, 3 und 4 gezeigten Gehäuses von oben, nach der Durchführung der Stanz-Prozessschritte;

25

Figur 7a eine schematische Ansicht des in den Figuren 1, 2, 3, 4 und 6 gezeigten Gehäuses von vorne, nach der Durchführung der Stanz- und Galvanisier-Prozessschritte, und nach dem Anschluß an eine Leiterplatte;

30

Figur 7b eine schematische Ansicht eines auf herkömmliche Weise hergestellten Gehäuses von vorne, nach dem Anschluß an eine Leiterplatte;

35 Figur 8a eine schematische Detailansicht eines Pins nach Durchführung der Stanz- und Galvanisier-Prozessschritte;

Figur 8b eine schematische Detailansicht eines herkömmlichen Pins;

5 Figur 9 eine schematische Ansicht des in den Figuren 1, 2, 3, 4, 6 und 7a gezeigten Gehäuses von der Seite, nach der Durchführung der Stanz- und Galvanisier-Prozessschritte, und nach dem Anschluß an eine Leiterplatte; und

10 Figur 10 eine schematische Darstellung der Verschaltung der Pins des in den Figuren 1, 2, 3, 4, 6, 7a und 9 gezeigten Gehäuses zur Sicherstellung korrekter Pin-Potentiale.

15 In Figur 1 sind - auf schematische Weise - einige (von einer Vielzahl weiterer, hier nicht dargestellter) bei der Fertigung von Halbleiter-Bauelementen 3a, 3b, 3c, 3d von entsprechenden Halbleiter-Bauelementen 3a, 3b, 3c, 3d durchlaufenen Stationen A, B, C, D gezeigt.

20 An der Station A werden - mittels eines Test-Systems 1 - noch auf einer Silizium-Scheibe bzw. einem Wafer 2 befindliche Halbleiter-Bauelemente 3a, 3b, 3c, 3d einem oder mehreren Testverfahren unterzogen.

25 Der Wafer 2 ist vorher - an den in Figur 1 gezeigten Stationen A, B, C, D vorgeschalteten, hier nicht dargestellten Stationen - entsprechenden, herkömmlichen Beschichtungs-, Belichtungs-, Ätz-, Diffusions-, und Implantations-Prozess-Schritten unterzogen worden.

30

Bei den Halbleiter-Bauelementen 3a, 3b, 3c, 3d kann es sich z.B. um entsprechende, integrierte (analoge bzw. digitale) Rechenschaltkreise handeln, oder um Halbleiter-Speicherbauelemente wie z.B. Funktionsspeicher-Bauelemente (PLAs, PALs, etc.) oder Tabellenspeicher-Bauelemente (z.B. ROMs oder RAMS), beispielsweise um SRAMs oder DRAMs (Dynamic

35

Random Access Memories bzw. dynamische Schreib-Lese-Speicher), insbesondere um SDRAMs oder DDR-DRAMs.

5 Wird das oder die Testverfahren erfolgreich beendet, wird der Wafer 2 (auf vollautomatisierte Weise) an die nächste Station B weitertransportiert (vgl. Pfeil F), und dort - mittels einer entsprechenden Maschine 7 - zersägt (oder z.B. geritzt, und gebrochen), so dass dann die einzelnen Halbleiter-Bauelemente 3a, 3b, 3c, 3d zur Verfügung stehen.

10

Nach dem Zersägen des Wafers 2 an der Station B werden die Bauelemente 3a, 3b, 3c, 3d dann (wiederum vollautomatisch - z.B. mittels einer entsprechenden Förder-Maschine -) an die nächste Station C (hier: eine Belade-Station C)

15 weitertransportiert (z.B. direkt (bzw. einzeln), oder alternativ z.B. mittels eines entsprechenden trays) (vgl. Pfeil G).

20 An der Belade-Station C werden die Bauelemente 3a, 3b, 3c, 3d - jeweils einzeln - auf vollautomatisierte Weise mit Hilfe einer entsprechenden Maschine 10 (Belade-Maschine) in entsprechende Gehäuse 11a, 11b, 11c, 11d bzw. Packages geladen (vgl. Pfeile K_a, K_b, K_c, K_d).

25 Daraufhin werden - wiederum vollautomatisch - entsprechende (z.B. oben an den Halbleiter-Bauelementen 3a, 3b, 3c, 3d vorgesehene) Halbleiter-Bauelement-Kontakte (Pads) - z.B. mittels entsprechender Bond-Drähte - mit entsprechenden Anschluß-Stiften bzw. Pins 4a, 4b, 4c, 4d, 4e, 4f, 4g, 4h, 4i
30 des jeweiligen Gehäuses 11a, 11b, 11c, 11d verbunden (bzw. genauer: mit entsprechenden Teilen eines Pin-Basis-Körpers 14 bzw. „Leadframes“ 14, siehe unten) - sog. „Bonding“ -, und das entsprechende Gehäuse 11a, 11b, 11c, 11d dann - auf an sich bekannte Weise - geschlossen (vgl. auch Schritt I, Figur
35 5).

Als Gehäuse 11a, 11b, 11c, 11d können z.B. herkömmliche steck-, insbesondere oberflächenmontierbare Gehäuse (SMD-Gehäuse (SMD = Surface Mount Device bzw. oberflächenmontierbares Bauteil)) verwendet werden, z.B. sog. TSOP-Gehäuse, etc.

Als nächstes werden - wie im folgenden noch genauer erläutert wird - die Gehäuse 11a, 11b, 11c, 11d - zusammen mit den Halbleiter-Bauelementen 3a, 3b, 3c, 3d - (wiederum vollautomatisch, z.B. mittels einer entsprechenden Förder-Maschine) zu einer weiteren Station D, hier z.B.: einer Pin-Stanz-Station D (mit einer entsprechenden Stanz-Maschine 5) weitertransportiert (vgl. Pfeil H), und dann (wiederum vollautomatisch) zu einer Station E, hier z.B.: einer Pin-Galvanisier-Station E (mit einer entsprechenden Galvanisier-Einrichtung 6) (vgl. Pfeil I), und daraufhin zu verschiedenen weiteren Stationen, insbesondere zu verschiedenen Test-Stationen (hier nicht dargestellt).

In Figur 2 ist eine schematische Ansicht eines der in Figur 1 gezeigten Gehäuse 11a, 11b, 11c, 11d - vor der Durchführung entsprechender Stanz- und Galvanisier-Prozessschritte an den o.g. Stanz- und Galvanisier-Stationen D, E - von oben gezeigt.

Am - z.B. aus Keramik oder Kunststoff gefertigten - Gehäuse-Grundkörper 15 (hier: eng schraffiert dargestellt) ist der bereits oben erwähnte Pin-Basis-Körper 14 („Leadframe“ bzw. Gehäuseanschlusskamm 14) (hier: eine weite Schraffur aufweisend dargestellt) befestigt, aus dem - durch die im folgenden genauer erläuterten Stanz- und Galvanisierprozessschritte - später die entsprechenden Gehäuse-Pins 4a, 4b, 4c, 4d, 4e, 4f, 4g, 4h, 4i, 4k gefertigt werden.

Der Pin-Basis-Körper 14 ist in Form einer - im wesentlichen ebenen - Fläche ausgebildet, und kann - wie z.B. aus Figur 3

hervorgeht - eine über die gesamte Fläche des Pin-Basis-Körpers 14 im wesentlichen gleich große (relativ geringe) Dicke d von z.B. zwischen 0,1 mm und 0,4 mm aufweisen, z.B. eine Dicke d von 0,2 mm oder 0,3 mm.

5

Der Pin-Basis-Körper 14 kann - entsprechend wie herkömmliche Pin-Basis-Körper - z.B. aus einem entsprechenden, elektrisch leitfähigen Metall bzw. einer entsprechenden, elektrisch leitfähigen Metall-Legierung hergestellt sein, insbesondere aus einem unedlen Metall bzw. einer - z.B. ganz oder überwiegend aus unedlen Metallen bestehenden - Metall-Legierung (sog. „Grundmetall“), z.B. aus einer Kupfer-Beryllium- (CuBe-) Legierung.

15 Wie aus Figur 2 hervorgeht, ist der Pin-Basis-Körper 14 im Querschnitt im wesentlichen rechteckförmig, und erstreckt sich gemäß Figur 3 von den vier Seitenwänden 15a, 15b des Gehäuse-Grundkörpers 15 aus - in im wesentlichen senkrechter Richtung zu der jeweiligen Seitenwand 15a, 15b - nach außen.

20

Entsprechend wie in Figur 2 gezeigt weist der Pin-Basis-Körper 14 (vorab gefertigte, z.B. vor dem Einbau des Pin-Basis-Körpers 14 in den Gehäuse-Grundkörper 15 aus dem Pin-Basis-Körper 14 ausgestanzte, in senkrechter Richtung durch den Basis-Körper 14 hindurchgehende) Aussparungen 17a, 17b, 17c, 17d, 17e auf.

25

Die Aussparungen 17a, 17b, 17c, 17d, 17e weisen jeweils - in den außerhalb des Gehäuse-Grundkörpers 15 liegenden Bereichen - einen im wesentlichen rechteckförmigen Querschnitt auf, und erstrecken sich jeweils bis zu Bereichen nahe bei den äußeren Rändern des Basis-Körpers 14.

30

An jeder Seitenwand 15a, 15b sind - jeweils nebeneinanderliegend - eine Vielzahl der o.g. Aussparungen 17a, 17b, 17c, 17d, 17e vorgesehen (hier z.B. jeweils acht - im wesentlichen gleich große - Aussparungen 17b, 17c, 17d an

35

der linken bzw. rechten Seitenwand 15a, und z.B. jeweils drei Aussparungen 17a, 17e an der vorderen bzw. hinteren Seitenwand 15b).

- 5 Durch den jeweils am nächsten zum Gehäuse-Grundkörper 15 liegenden Teil eines Abschnitts 18a, 18b des Basis-Körpers 14 zwischen jeweils zwei an der linken bzw. rechten Seitenwand 15a vorgesehenen Aussparungen 17b, 17c wird - nach der Durchführung entsprechender Stanz- und Galvanisier-
10 Prozessschritte (s.u.) - ein entsprechender Pin 4a, 4b, 4c, 4d, 4e, 4f, 4g, 4h, 4i ausgebildet.

- Auf entsprechende Weise wird durch den jeweils am nächsten zum Gehäuse-Grundkörper 15 liegenden Teil von Basis-Körper-
15 Abschnitten 19a, 19b zwischen jeweils zwei an der vorderen bzw. hinteren Seitenwand 15b vorgesehenen Aussparungen 17a, 17e - nach der Durchführung entsprechender Stanz- und Galvanisier-Prozessschritte - ein entsprechender Gehäuse-Seitensteg 24a, 24b ausgebildet.

20

Wie aus Figur 2 hervorgeht, weisen die an der linken bzw. rechten Seitenwand 15a vorgesehenen Aussparungen 17b, 17c z.B. eine - zwischen der jeweiligen Seitenwand 15a, und dem äußeren Ende der o.g. Abschnitte 18a, 18b gemessene - Länge l von ca. 5 mm bis 25 mm, insbesondere 8 mm bis 20 mm auf (d.h.
25 eine Länge l, die größer ist, als die Länge l' der - späteren - Pins 4a, 4b, 4c, 4d, 4e, 4f, 4g, 4h, 4i (vgl. Figur 4)).

- Wie aus Figur 2 weiter hervorgeht, weisen die an der vorderen
30 bzw. hinteren Seitenwand 15a vorgesehenen Aussparungen 17a, 17d z.B. eine - zwischen der jeweiligen Seitenwand 15b, und dem äußeren Ende der o.g. Abschnitte 19a, 19b gemessene - Länge m von ca. 2 mm bis 20 mm, insbesondere 5 mm bis 15 mm auf (d.h. eine Länge m, die größer ist, als die Länge m' der
35 - späteren - Gehäuse-Seitenstege 24a, 24b (vgl. Figur 4)).

Wie bereits oben erwähnt wurde, und wie im folgenden noch im Detail erläutert wird, werden beim vorliegenden Ausführungsbeispiel der Erfindung - anders als beim Stand der Technik - nach dem Einbau der Halbleiter-Bauelemente 3a, 3b, 3c, 3d in die entsprechenden Gehäuse 11a, 11b, 11c, 11d zunächst - d.h. noch vor der Durchführung entsprechender Galvanisier-Prozessschritte - die Pins 4a, 4b, 4c, 4d, 4e, 4f, 4g, 4h, 4i aus dem Basis-Körper 14 gestanzt (vgl. Schritt II, Figur 5), und dann erst die Pins 4a, 4b, 4c, 4d, 4e, 4f, 4g, 4h, 4i (bzw. der Basis-Körper 14) entsprechenden Galvanisier-Prozessschritten unterworfen (vgl. Schritt III, Figur 5).

Zur Herstellung der - sich von der linken Seitenwand aus erstreckenden - Pins 4a, 4b, 4c, 4d wird der Pin-Basis-Körper 14 - an der in Figur 1 gezeigten Station D - von der o.g. Stanz-Maschine 5 entlang der in Figur 4 gezeigten, sich parallel zur entsprechenden Seitenwand erstreckenden Stanz-Linie K durchgestanzt (d.h. der Pin-Basis-Körper 14 an der Stanz-Linie K in senkrechter Richtung von oben nach unten durchtrennt).

Auf entsprechende Weise wird zur Herstellung der sich von der linken Seitenwand gegenüberliegenden, rechten Seitenwand 15a aus erstreckenden - Pins 4e, 4f, 4g, 4h, 4i, 4k der Pin-Basis-Körper 14 - ebenfalls an der Station D - von der o.g. Stanz-Maschine 5 entlang der sich parallel zur rechten Seitenwand 15a erstreckenden Stanz-Linie L durchgestanzt (d.h. der Pin-Basis-Körper 14 an der Stanz-Linie L in senkrechter Richtung von oben nach unten durchtrennt). Die hierdurch hergestellten Pins 4e, 4f, 4g, 4h, 4i, 4k weisen (entsprechend wie die übrigen Pins 4a, 4b, 4c, 4d) einen im wesentlichen rechteckförmigen Querschnitt auf.

Der Abstand der Stanz-Linien K bzw. L von den entsprechenden linken bzw. rechten Seitenwänden 15a entspricht der Länge l' der - durch das Stanzen geschaffenen - Pins 4a, 4b, 4c, 4d

bzw. 4e, 4f, 4g, 4h, 4i, 4k (hier: ca. 1 mm bis 10 mm, insbesondere 2 mm bis 5 mm).

5 Zur Herstellung der - sich von der vorderen bzw. hinteren
Seitenwand 15b aus erstreckenden - Gehäuse-Seitenstege 24a,
24b wird der Pin-Basis-Körper 14 (ebenfalls an der in Figur 1
gezeigten Station D) von der Stanz-Maschine 5 entlang der in
Figur 4 gezeigten, sich parallel zur entsprechenden vorderen
bzw. hinteren Seitenwand 15b erstreckenden Stanz-Linie M bzw.
10 N durchgestanzt (d.h. der Pin-Basis-Körper 14 an der Stanz-
Linie M bzw. N in senkrechter Richtung von oben nach unten
durchtrennt).

15 Der Abstand der Stanz-Linien M bzw. N von den entsprechenden
vorderen bzw. hinteren Seitenwänden 15b entspricht der Länge
m' der - durch das Stanzen geschaffenen - Gehäuse-Seitenstege
24a, 24b (hier: der zwei Seitenstege 24a an der vorderen, und
der zwei Seitenstege 24b an der hinteren Seitenwand).

20 Die Länge m' der Seitenstege kann z.B. zwischen ca. 0,2 mm
und 5 mm, insbesondere zwischen 0,5 mm und 2 mm betragen.

25 In Figur 6 ist eine schematische Ansicht des in Figur 1, 2, 3
und 4 gezeigten Gehäuses 11a von oben gezeigt, nachdem die
oben erläuterten der Stanz-Prozessschritte durchgeführt
worden sind.

Wie aus Figur 6 hervorgeht haben die durch das Stanzen
geschaffenen Pins 4a, 4b, 4c, 4d, 4e, 4f, 4g, 4h, 4i, 4k
30 jeweils eine Breite b von ca. 0,2 mm bis 2 mm, insbesondere
zwischen 0,5 mm und 1 mm.

Nach dem Durchführen der o.g. Stanz-Prozessschritte wird das
entsprechende Gehäuse - wie bereits oben erläutert - von der
35 Stanz-Station D zur Galvanisier-Station E
weitertransportiert.

Dort werden die Pins 4a, 4b, 4c, 4d, 4e, 4f, 4g, 4h, 4i, 4k - z.B. durch Eintauchen in entsprechende, bei der Galvanisier-Einrichtung 6 vorgesehene Bäder - mittels entsprechender elektrolytischer Abscheidungs-Prozesse, und wie z.B. in Figur 8a veranschaulicht, mit einer Metallschicht 9, insbesondere einer Edelmetall-Schicht überzogen (z.B. mit einer Zinn-Schicht, oder einer Gold-Schicht) - z.B. zunächst die sich von der linken Seitenwand aus erstreckenden Pins 4a, 4b, 4c, 4d, und dann die sich von der rechten Seitenwand 15a aus erstreckenden Pins 4e, 4f, 4g, 4h, 4i, 4k.

Die Dicke der Metallschicht 9 (z.B. der Zinn- bzw. Gold-Schicht) kann z.B. zwischen 0,001 mm und 0,05 mm betragen, insbesondere zwischen 0,005 und 0,02 mm.

Vor der Durchführung der o.g. Abscheidungsprozesse können die Pins 4a, 4b, 4c, 4d, 4e, 4f, 4g, 4h, 4i, 4k mit Hilfe entsprechender, spezieller Chemikalien gereinigt bzw. vorbehandelt werden.

Durch das Aufbringen der Metallschicht wird 9 die Lötbarkeit der Pins 4a, 4b, 4c, 4d, 4e, 4f, 4g, 4h, 4i, 4k verbessert; außerdem können hierdurch die Pins 4a, 4b, 4c, 4d, 4e, 4f, 4g, 4h, 4i, 4k vor Korrosion geschützt werden.

Nach (oder vor) dem Aufbringen der o.g. Metallschicht 9 - z.B. im Verlauf der o.g. Stanz-Prozesse - können die Pins 4a, 4b, 4c, 4d, 4e, 4f, 4g, 4h, 4i, 4k in die entsprechende Form gebogen werden (vgl. Figur 7a und Figur 8a) - beispielsweise kann zunächst ein an einen sich in waagrechter Richtung erstreckenden, oberen Pin-Abschnitt 12a, 13a angrenzender, mittlerer Pin-Abschnitt 12b, 13b nach schräg-unten hin verbogen werden, und dann ein an den mittleren Pin-Abschnitt 12b, 13b angrenzender, unterer Pin-Abschnitt 12c, 13c nach oben hin (so dass sich der untere Pin-Abschnitt 12c, 13c dann - entsprechend wie der obere Pin-Abschnitt 12a, 13a - im wesentlichen in waagrechter Richtung erstreckt (insbesondere

in Bezug auf eine Leiterplatte 8 bzw. Platine 8 eines Moduls, an die das Gehäuse 11a - und damit das Halbleiter-Bauelement 3a - später angeschlossen werden soll)).

- 5 Dadurch, dass beim vorliegenden Ausführungsbeispiel - anders als beim Stand der Technik - zunächst die o.g. Stanz-Prozesse, und dann erst die o.g. Galvanisier-Prozesse durchgeführt werden (und nicht umgekehrt), wird - wie z.B. in Figur 8a gezeigt ist, und anders als beim Stand der Technik -
- 10 auch die Stirnfläche 16 der Pins 4a, 4b, 4c, 4d, 4e, 4f, 4g, 4h, 4i, 4k (bzw. die äußere End-Fläche 16 am Ende der unteren Pin-Abschnitte 12c, 13c der Pins 4a, 4b, 4c, 4d, 4e, 4f, 4g, 4h, 4i, 4k) mit einer Metallschicht 9 überzogen.
- 15 Demgegenüber ist, wie in Figur 8b gezeigt ist, bei herkömmlichen Pins 104e - dadurch, dass zuerst galvanisiert, und dann erst gestanzt wird - die Pin-Stirnfläche 106 ohne Metallschicht 109 ausgeführt.
- 20 Wird gemäß dem Ausführungsbeispiel der Erfindung - wie in Figur 7a anhand des Pins 4a gezeigt ist - das Gehäuse 11a (und damit auch das darin eingebaute Halbleiter-Bauelement 3a) an die Leiterplatte 8 angeschlossen (d.h. die entsprechenden unteren Pin-Abschnitte 12c, 13c der Pins 4a,
- 25 4b, 4c, 4d, 4e, 4f, 4g, 4h, 4i, 4k mit entsprechenden Anschlüssen 20a, 20b an der Leiterplatte 8 verlötet), wird ein elektrischer Kontakt zwischen dem entsprechenden Leiterplatten-Anschluß 20a, 20b, und dem entsprechenden Pin 4a, 4b, 4c, 4d, 4e, 4f, 4g, 4h, 4i, 4k hergestellt.
- 30 Da - wie oben erläutert - auch die Stirnfläche 16 der Pins 4a, 4b, 4c, 4d, 4e, 4f, 4g, 4h, 4i, 4k mit der Metallschicht 9 überzogen ist, wird beim Verlöten der Pins 4a, 4b, 4c, 4d, 4e, 4f, 4g, 4h, 4i, 4k durch die hierdurch geschaffene
- 35 Lötverbindung 21 die jeweilige Pin-Stirnfläche 16 vom Lot bzw. Lötzinn benetzt (vgl. Figur 7a).

Demgegenüber wird gemäß Figur 7b bei herkömmlichen Pins 104a, 104e - da, wie oben erläutert, deren Stirnfläche 116 nicht mit einer Metallschicht überzogen ist - beim Verlöten der Pins 104a durch die hierdurch geschaffene Lötverbindung 121 die jeweilige Pin-Stirnfläche 116 i.A. vom Lot bzw. Lötzinn nicht benetzt.

Aus diesem Grund sind die bei dem Ausführungsbeispiel der Erfindung geschaffenen Lötverbindungen 21 stabiler, als herkömmliche Lötverbindungen 121.

Die o.g. Leiterplatte 8, und das an diese auf die oben beschriebene Weise angeschlossene Halbleiter-Bauelement-Gehäuse 11a weisen i.A. jeweils unterschiedliche thermische Ausdehnungskoeffizienten auf (vgl. auch die in Figur 9 veranschaulichten - relativ großen - temperaturbedingten Längenausdehnungs-Differenzen d1 beim Gehäuse 11a, und die - relativ kleinen - temperaturbedingten Längenausdehnungs-Differenzen d2 bei der Leiterplatte 8).

Beim Erwärmen oder Abkühlen eines Halbleiter-Bauelement-Moduls treten somit mechanische Spannungen zwischen der Leiterplatte 8, und dem Halbleiter-Bauelement-Gehäuse 11a auf.

Da - wie oben erläutert - die bei dem Ausführungsbeispiel der Erfindung geschaffenen Lötverbindungen 21 stabiler sind, als herkömmliche Lötverbindungen 121, kann verhindert werden, dass die Lötverbindungen 21 - z.B. bedingt durch die o.g. mechanischen Spannungen - aufbrechen bzw. abreißen können.

Wie in Figur 9 weiter veranschaulicht ist, sind die o.g. mechanischen Spannungen in Bereichen O, P von am Gehäuse 11a am weitesten außen liegenden Pins 4a, 4e, 4i am größten (hier: bei den an den Seitenwänden 15a am weitesten rechts bzw. links außen angeordneten Pins 4a, 4e, 4i).

Aus diesem Grund können - bei einem alternativen Ausführungsbeispiel der Erfindung - auch lediglich bei den o.g. am weitesten außen liegenden Pins 4a, 4e, 4i - hier z.B. bei den an der Seitenwand 15a am weitesten rechts bzw. links außen angeordneten Pins 4e, 4i, und bei den an der gegenüber der Seitenwand 15a liegenden Seitenwand am weitesten rechts bzw. links außen angeordneten Pins 4a (und nicht - wie beim zuvor erläuterten Ausführungsbeispiel - bei sämtlichen Pins 4a, 4b, 4c, 4d, 4e, 4f, 4g, 4h, 4i, 4k) jeweils die entsprechenden Stirnflächen 16 bzw. End-Flächen 16 entsprechend wie oben beschrieben mit einer Metallschicht 9 überzogen sein (entsprechend wie z.B. in Figur 8a dargestellt) - die Stirnflächen der übrigen Pins 4b, 4c, 4d, 4f, 4g, 4h, 4k sind dann metallschicht-frei ausgeführt (entsprechend wie z.B. in Figur 8b dargestellt).

Dies kann z.B. dadurch erreicht werden, dass im Verlauf von den o.g. Stanz-Prozess-Schritten entsprechenden Stanz-Prozess-Schritten (vgl. auch Schritt II, Figur 5) lediglich die o.g., am weitesten außen liegenden Pins 4a, 4e, 4i aus dem Basis-Körper 14 gestanzt werden (nicht aber die o.g. übrigen Pins 4b, 4c, 4d, 4f, 4g, 4h, 4k).

Dies kann z.B. dadurch erreicht werden, dass - entsprechend wie in Figur 2 veranschaulicht - der Pin-Basis-Körper 14 - an der in Figur 1 gezeigten Station D - von der o.g. Stanz-Maschine 5 entlang den sich parallel zu entsprechenden Seitenwänden erstreckenden Stanz-Linien K' bzw. L' durchgestanzt wird (d.h. der Pin-Basis-Körper 14 - lediglich im Bereich der o.g. außen liegenden Pins 4a, 4e, 4i - an den Stanz-Linien K' bzw. L' in senkrechter Richtung von oben nach unten durchtrennt wird).

Daraufhin werden den o.g. Galvanisier-Prozess-Schritten entsprechende Galvanisier-Prozess-Schritte durchgeführt (vgl. Schritt III, Figur 5); erst dann werden im Verlauf weiterer

Stanz-Prozess-Schritte die übrigen Pins 4b, 4c, 4d, 4f, 4g, 4h, 4k aus dem Basis-Körper 14 gestanzt.

Das o.g. Vorgehen ist i.A. deshalb problemlos möglich, weil
5 sämtliche der o.g. - noch vor der Durchführung der o.g. Galvanisier-Prozess-Schritte ausgestanzten - außen liegenden Pins 4a, 4e, 4i üblicherweise zur Führung eines Vss- oder ein Vdd-Signals vorgesehen sind (d.h. im Normalbetrieb auf
10 Versorgungsspannungs-Potential Vss, oder Erd-Potential Vdd liegen bzw. gelegt werden), und chipintern mit weiteren, zunächst noch nicht abgetrennten bzw. zunächst noch nicht ausgestanzten Pins 4b, 4c, 4d, 4f, 4g, 4h verbunden sind, die
- im Normalbetrieb - ebenfalls diese Signale (d.h. das Vss- oder das Vdd-Signal) führen.

15 Wird - z.B. durch das Anlegen eines entsprechenden Potentials an den (Rest-)Basis-Körper 14 (nach dem Ausstanzen der außen liegenden Pins 4a, 4e, 4i) an den - noch nicht ausgestanzten - Pins 4b, 4c, 4d, 4f, 4g, 4h zur Durchführung der o.g.

20 Galvanisier-Prozess-Schritte z.B. ein entsprechendes negatives Galvanisier-Potential (d.h. eine Galvanik-Spannung V_{Galvanik} kleiner als 0 V) angelegt (oder alternativ z.B. ein entsprechendes positives Galvanisier-Potential (d.h. eine Galvanik-Spannung V_{Galvanik} größer als 0 V)), liegen auch die -
25 bereits ausgestanzten, äußeren - Pins 4a, 4e, 4i (aufgrund der o.g. Verbindung zu den weiteren, noch nicht ausgestanzten Pins 4b, 4c, 4d, 4f, 4g, 4h) auf einem entsprechenden, negativen (bzw. positiven) (Galvanisier-)Potential.

30 Dadurch wird erreicht, dass auch die außen liegenden Pins 4a, 4e, 4i - bei der Durchführung der o.g. Galvanisier-Prozess-Schritte - zur Erzielung einer galvanischen Abscheidung auf dem richtigen Potential liegen (ohne dass gegenüber den
herkömmlich angewendeten Galvanisier-Prozess-Schritten zur
35 Sicherstellung entsprechender Potentiale entsprechend abgewandelte Galvanisier-Prozess-Schritte durchgeführt werden müßten).

Bei einem weiteren, alternativen Ausführungsbeispiel ist denkbar, vor der Durchführung der entsprechenden Galvanisier-Prozess-Schritte - außer den o.g. am weitesten außen

5 liegenden Pins 4a, 4e, 4i - noch weitere Pins auszustanzen (z.B. die direkt neben diesen Pins 4a, 4e, 4i liegenden Pins 4b, 4f (oder z.B. jeweils zwei direkt neben diesen Pins 4a, 4e, 4i liegende Pins 4b, 4c, 4f, 4g, oder - wie beim oben erläuterten ersten Ausführungsbeispiel - sämtliche Pins,
10 etc.)).

Wie in Figur 10 veranschaulicht ist, kann (während der o.g. Galvanisier-Prozess-Schritte) die elektrische Kontaktierung der - vor den o.g. Galvanisier-Prozess-Schritten
15 ausgestanzten - Pins 4a, 4b, 4c, 4e, etc. dann u.a. intern über die auf dem Halbleiter-Bauelement 3a vorgesehenen ESD-Schutzdioden 25a, 25b erfolgen.

Jeder zur Ein- bzw. Ausgabe von (Nutz-)Signalen (z.B. von
20 Datensignalen DQ, Adresssignalen Addr, etc.) vorgesehene Halbleiter-Bauelement-Pin 4b, 4c, 4d, 4f, 4g, 4h ist - wie in Figur 10 am Beispiel des (Signal-)Pins 4g veranschaulicht - jeweils über eine entsprechende erste ESD-Schutzdiode 25a mit einem Pin (hier z.B. dem Pin 4e) verbunden, der zum Anlegen
25 des Erd-Potentials Vdd vorgesehen ist, sowie über eine entsprechende zweite ESD-Schutzdiode 25b jeweils mit einem weiteren Pin (hier z.B. dem Pin 4k), der zum Anlegen des Versorgungsspannungs-Potentials Vss vorgesehen ist (sowie z.B. über eine Leitung 26 mit der - eigentlichen - Signal-
30 Treibereinrichtung 27).

Um für die o.g. Galvanisier-Prozess-, insbesondere z.B. die kathodische-Abscheid-Prozess-Schritte das erforderliche (dann z.B. negative) Potential an den Pins herzustellen, genügt es
35 also, den Erd-Potential-Pin 4e (bzw. das Vdd-Signal) auf einem entsprechenden (negativen) Potential zu halten (d.h. z.B. eine Galvanik-Spannung V_{Galvanik} kleiner als 0 V am o.g.

Pin 4e anzulegen) - auch die übrigen, mit dem Pin 4e über die entsprechenden ESD-Schutzdioden verbundenen Pins liegen dann auf einem (Galvanik-)Potential entsprechend genügender Höhe.

- 5 Alternativ kann für einen entsprechenden anodischen Abscheid-Prozess das erforderliche (dann positive) Potential z.B. dadurch hergestellt werden, z.B. den Versorgungsspannungs-Potential-Pin 4k (bzw. das Vss-Signal) auf einem entsprechenden positiven Potential zu halten (d.h. z.B. eine
- 10 Galvanik-Spannung V_{Galvanik} größer als 0 V am o.g. Pin 4k anzulegen) - auch die übrigen, mit dem Pin 4k über die entsprechenden ESD-Schutzdioden verbundenen Pins liegen dann auf einem (Galvanik-)Potential entsprechender genügender Höhe.

15

Wenn (zusätzlich) die z.B. in Figur 6 gezeigten Seitenstege 24a, 24b intern im Halbleiter-Bauelement 3a mit Vdd verbunden werden, können sämtliche Pins (einschließlich der Seitenstege 24a, 24b) vor dem Galvanisieren abgetrennt bzw. ausgestanzt

20 werden.

25

Patentansprüche

1. Verfahren zur Herstellung von Pins (4a, 4e), bei welchem mit Hilfe eines oder mehrere Stanz-Prozess-Schritte
5 mindestens ein Pin (4e) aus einem Grund-Körper (14), insbesondere einem Leadframe (14) ausgestanzt wird
d a d u r c h g e k e n n z e i c h n e t, dass erst nach dem endgültigen Ausstanzen des Pins (4e) der Pin (4e) bzw. ein Abschnitt (13a, 13b, 13c) des Pins (4e) mit einer
10 separaten Metallschicht (9) überzogen wird.
2. Verfahren nach Anspruch 1, bei welchem auch die Stirnfläche (16) am äußeren End-Abschnitt (13c) des Pins (4e) mit der Metallschicht (9) überzogen wird.
15
3. Verfahren nach Anspruch 1 oder 2, wobei zum Überzug des Pins (4e) mit der separaten Metallschicht (9) ein oder mehrere Metall-Abscheide-Prozess-, insbesondere Galvanisierungs-Prozess-Schritte verwendet werden.
20
4. Verfahren nach einem der vorhergehenden Ansprüche, welches zusätzlich den Schritt aufweist:
- Einbau des Grund-Körpers (14), insbesondere Leadframes (14) in ein Gehäuse (11a), insbesondere ein Halbleiter-Bauelement-Gehäuse.
25
5. Verfahren nach Anspruch 4, bei welchem der Einbau des Grund-Körpers (14), insbesondere Leadframes (14) in das Gehäuse (11a) vor dem endgültigen Ausstanzen des Pins (4e)
30 erfolgt.
6. Verfahren nach einem der vorhergehenden Ansprüche, wobei mehrere, nebeneinanderliegende Pins (4e, 4f, 4g, 4h) aus dem Grundkörper (14) ausgestanzt werden.
35
7. Verfahren nach Anspruch 6, wobei sämtliche der nebeneinanderliegenden Pins (4e, 4f, 4g, 4h) erst nach dem

endgültigen Ausstanzen der Pins (4e, 4f, 4g, 4h) mit einer separaten Metallschicht (9) überzogen werden.

8. Verfahren nach Anspruch 6, wobei von den
5 nebeneinanderliegenden Pins (4e, 4f, 4g, 4h) jeweils nur ein oder mehrere ausgewählte Pins (4e) erst nach dem endgültigen Ausstanzen des bzw. der entsprechenden Pins (4e) mit einer separaten Metallschicht (9) überzogen werden, und wobei bei
10 dem oder den übrigen Pins (4f, 4g, 4h) das Überziehen mit einer separaten Metallschicht bereits vor dem endgültigen Ausstanzen des bzw. der jeweiligen Pins (4f, 4g, 4h) erfolgt.

9. Verfahren nach Anspruch 8, wobei der bzw. die
15 ausgewählten Pins (4e) - in Bezug auf den oder die übrigen der nebeneinanderliegenden Pins (4f, 4g, 4h) - weiter außen bzw. am weitesten außen liegt bzw. liegen.

10. Halbleiter-Bauelement-Pin (4e), welcher insbesondere
20 mittels entsprechender Ausstanz- und/oder Metall-Überzug-Prozesse aus einem Grund-Körper (14), insbesondere einem Leadframe (14) gefertigt sein kann,

d a d u r c h g e k e n n z e i c h n e t, dass im
fertigen Zustand des Pins (4e) auch die Stirnfläche (16) am
äußeren Pin-End-Abschnitt (13c) mit einer separaten
25 Metallschicht (9) überzogen ist.

11. Gehäuse (11a), insbesondere für Halbleiter-Bauelemente
(3a), mit mehreren Pins (4a, 4e), welche insbesondere mittels
entsprechender Ausstanz- und/oder Metall-Überzug-Prozesse aus
30 einem Grund-Körper (14), insbesondere einem Leadframe (14) gefertigt sein können,

d a d u r c h g e k e n n z e i c h n e t, dass bei
mindestens einem Pin (4e) - in dessen fertigem Zustand - die
Stirnfläche (16) am äußeren Pin-End-Abschnitt (13c) mit einer
35 separaten Metallschicht (9) überzogen ist.

14. Verfahren nach einem der Ansprüche 3 bis 9, wobei zur Durchführung der Galvanisier-Prozess-Schritte dadurch ein entsprechendes Galvanisier-Potential am Pin (4e) erzeugt wird, dass an einem mit dem Pin (4e) - intern über das
5 entsprechende Halbleiter-Bauelement (3a) - verbundenen weiteren Pin (4k) und/oder Seitensteg (24a) eine entsprechende Spannung angelegt wird, insbesondere durch entsprechende direkte Kontaktierung des weiteren Pins (4k) bzw. Seitenstegs (24a) mit einem entsprechenden Kontakt.

10

15. Verfahren nach einem der Ansprüche 3 bis 9, wobei zur Durchführung der Galvanisier-Prozess-Schritte dadurch ein entsprechendes Galvanisier-Potential am Pin (4e) erzeugt wird, dass an dem mit dem Pin (4e) - intern über das
15 entsprechende Halbleiter-Bauelement (3a) - verbundenen Grund-Körper (14) eine entsprechende Spannung angelegt wird, insbesondere durch entsprechende Kontaktierung des Grund-Körpers (14) mit einem entsprechenden Kontakt.

20

Zusammenfassung

Gehäuse, insbesondere für Halbleiter-Bauelemente, Halbleiter-Bauelement-Pin, sowie Verfahren zur Herstellung von Pins

5

Die Erfindung betrifft ein Gehäuse (11a), insbesondere für Halbleiter-Bauelemente (3a), einen Halbleiter-Bauelement-Pin (4e), und ein Verfahren zur Herstellung von Pins (4a, 4e), bei welchem mit Hilfe eines oder mehrere Stanz-Prozess-

10 Schritte mindestens ein Pin (4e) aus einem Grund-Körper (14), insbesondere einem Leadframe (14) ausgestanzt wird, wobei erst nach dem endgültigen Ausstanzen des Pins (4e) der Pin (4e) mit einer separaten Metallschicht (9) überzogen wird.

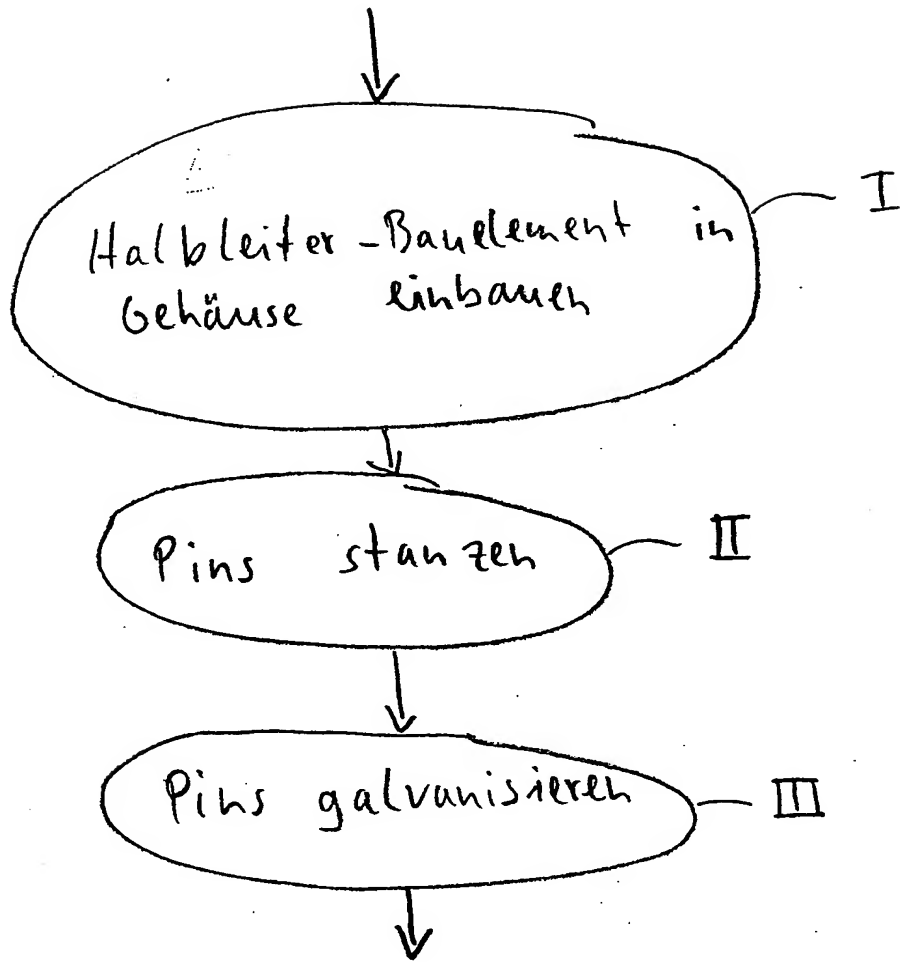
15 - Figur 5 -

Bezugszeichen

	1	Test-System
	2	Wafer
5	3a	Halbleiter-Bauelement
	3b	Halbleiter-Bauelement
	3c	Halbleiter-Bauelement
	3d	Halbleiter-Bauelement
	4a	Pin
10	4b	Pin
	4c	Pin
	4d	Pin
	4e	Pin
	4f	Pin
15	4g	Pin
	4h	Pin
	4i	Pin
	4k	Pin
	5	Stanz-Maschine
20	6	Galvanisier-Einrichtung
	7	Zersäge-Maschine
	8	Leiterplatte
	9	Metallschicht
	10	Belade-Maschine
25	11a	Gehäuse
	11b	Gehäuse
	11c	Gehäuse
	11d	Gehäuse
	12a	Pin-Abschnitt
30	12b	Pin-Abschnitt
	12c	Pin-Abschnitt
	13a	Pin-Abschnitt
	13b	Pin-Abschnitt
	13c	Pin-Abschnitt
35	14	Pin-Basis-Körper
	15	Gehäuse-Grundkörper
	15a	Seitenwand

	15b	Seitenwand
	16	Stirnfläche
	17a	Aussparung
	17b	Aussparung
5	17c	Aussparung
	17d	Aussparung
	17e	Aussparung
	18a	Pin-Basis-Körper-Abschnitt
	18b	Pin-Basis-Körper-Abschnitt
10	19a	Pin-Basis-Körper-Abschnitt
	19b	Pin-Basis-Körper-Abschnitt
	20a	Anschluß
	20b	Anschluß
	21	Lötverbindung
15	24a	Gehäuse-Seitensteg
	24b	Gehäuse-Seitensteg
	25a	ESD-Schutzdiode
	25b	ESD-Schutzdiode
	26	Leitung
20	27	Signal-Treibereinrichtung
	104a	Pin
	104e	Pin
	109	Metallschicht
	116	Stirnfläche
25	121	Lötverbindung

Zusammenfassung



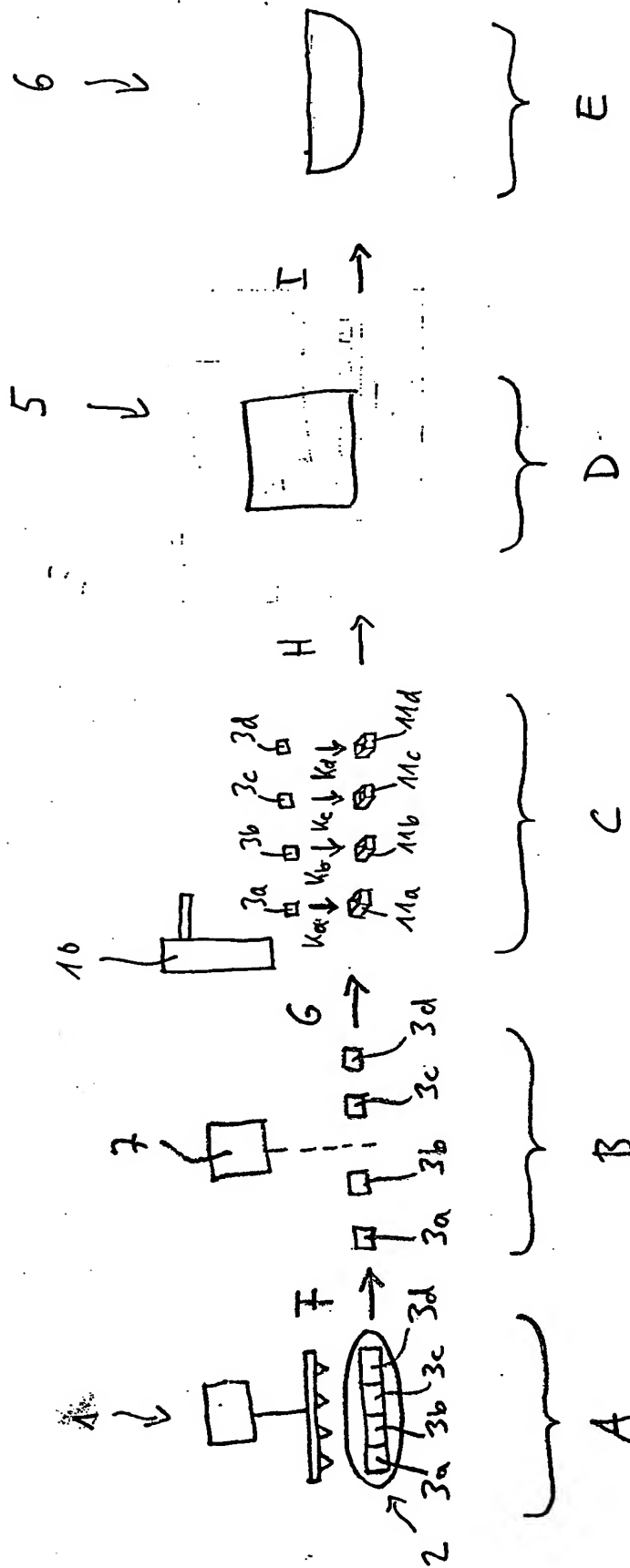


Fig. 1

11a

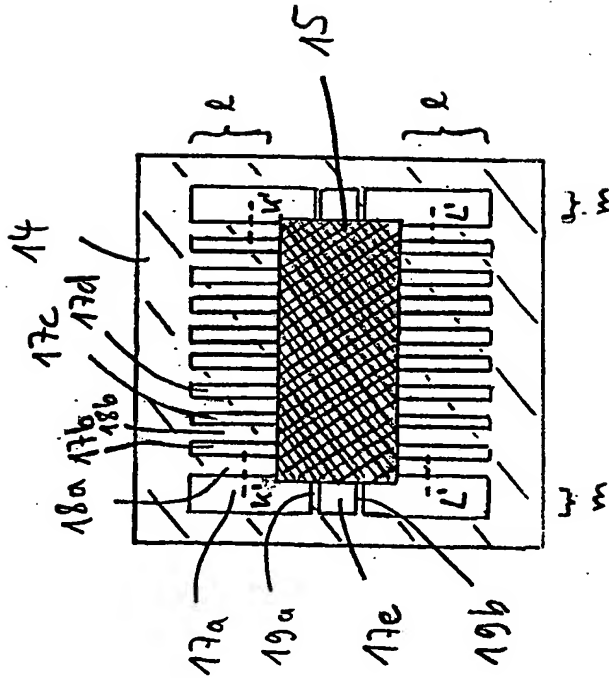


Fig. 2

11a

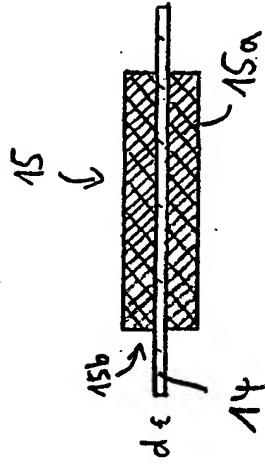


Fig. 3

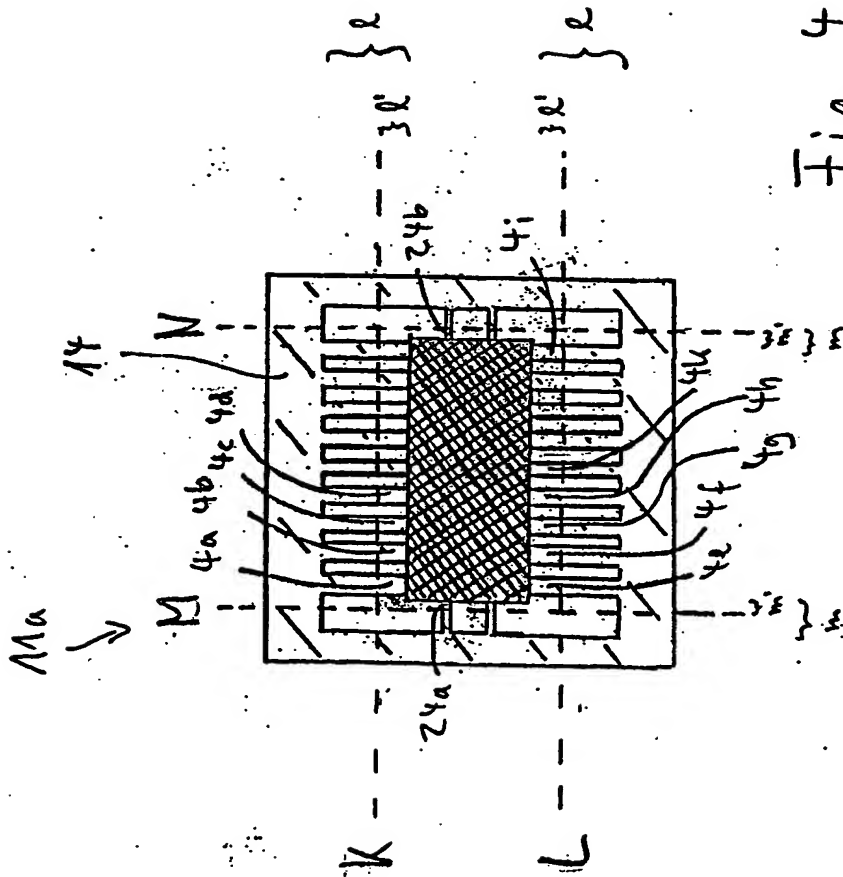


Fig. 4

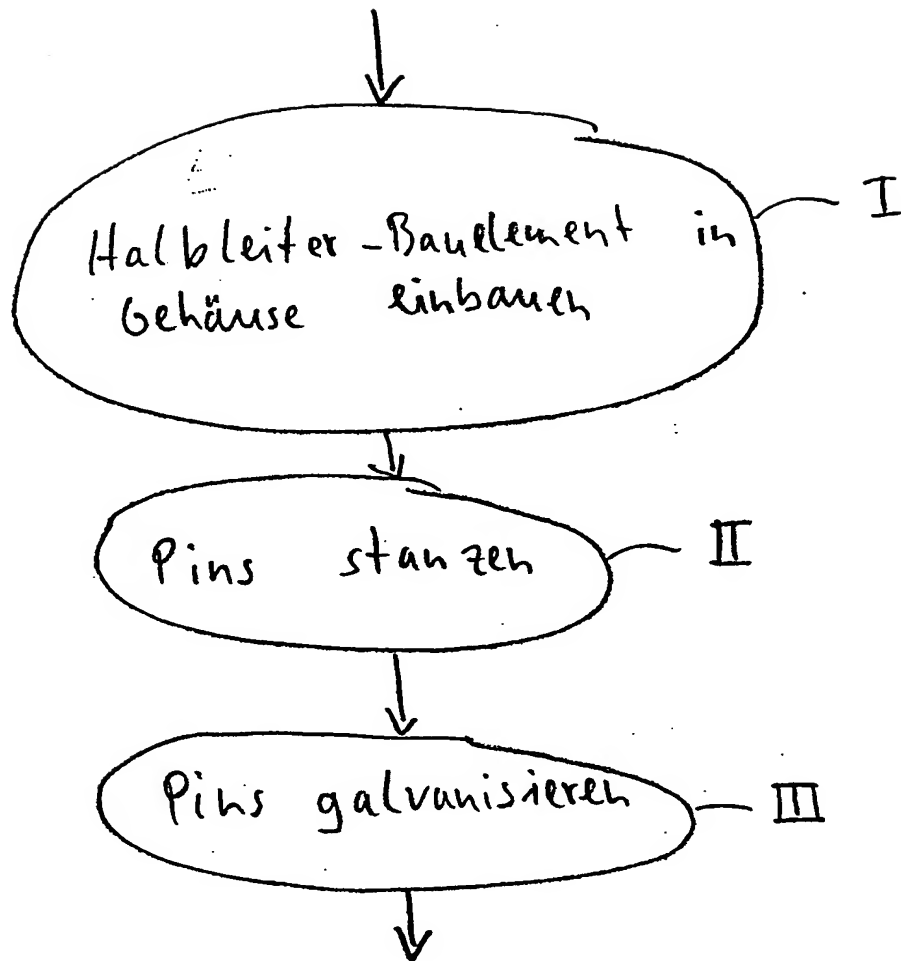


Fig. 5

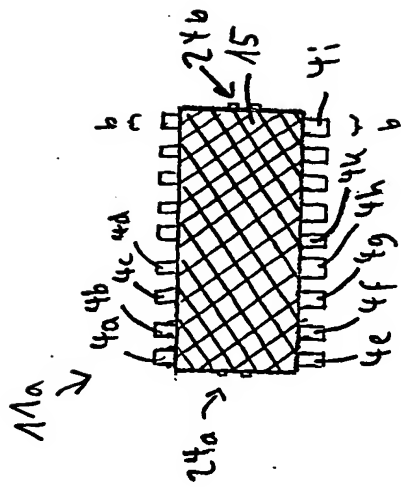


Fig. 6

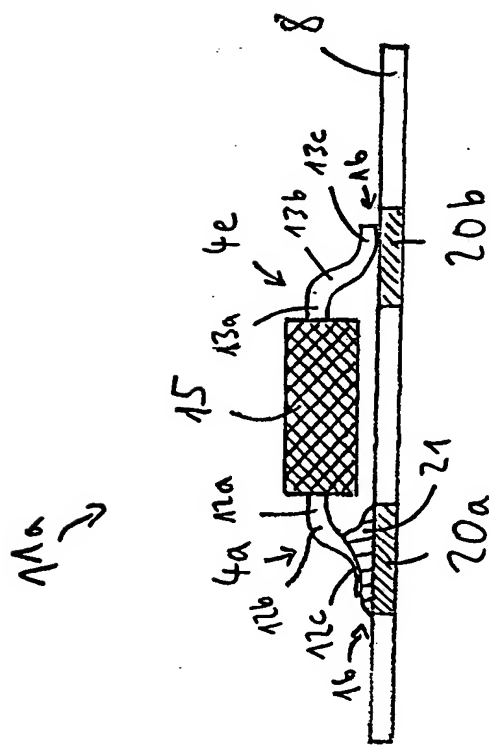


Fig. 7a

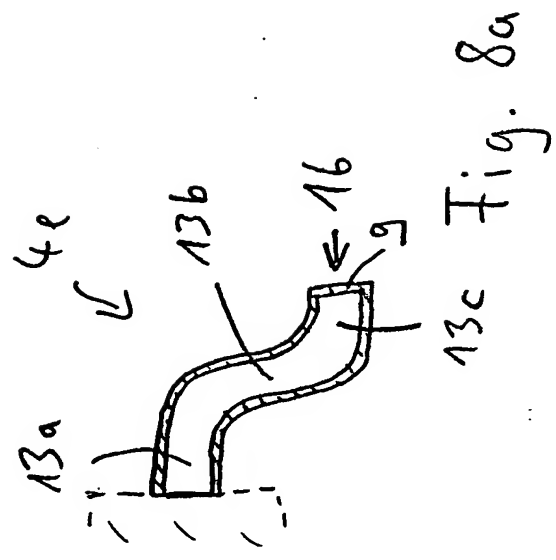


Fig. 8a

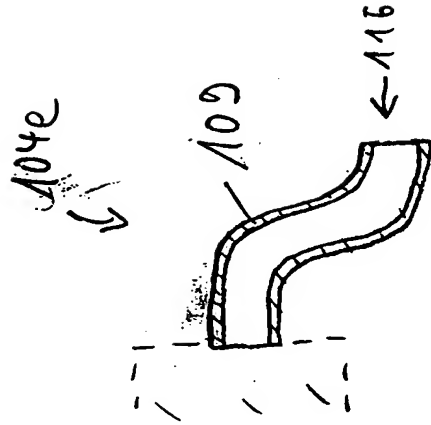


Fig. 8b

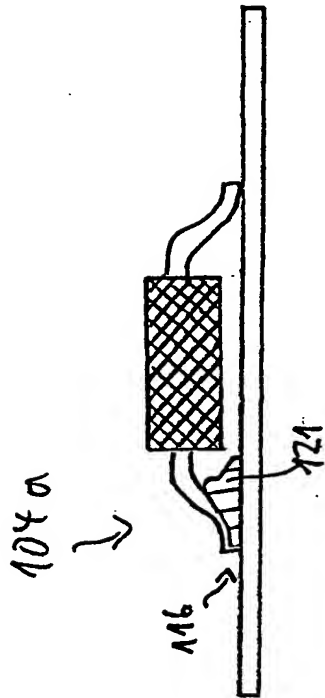


Fig. 7b

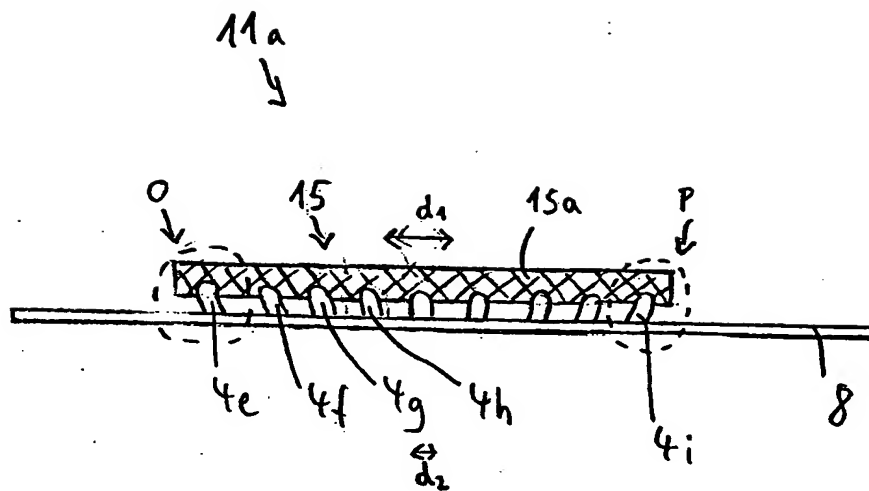


Fig. 9

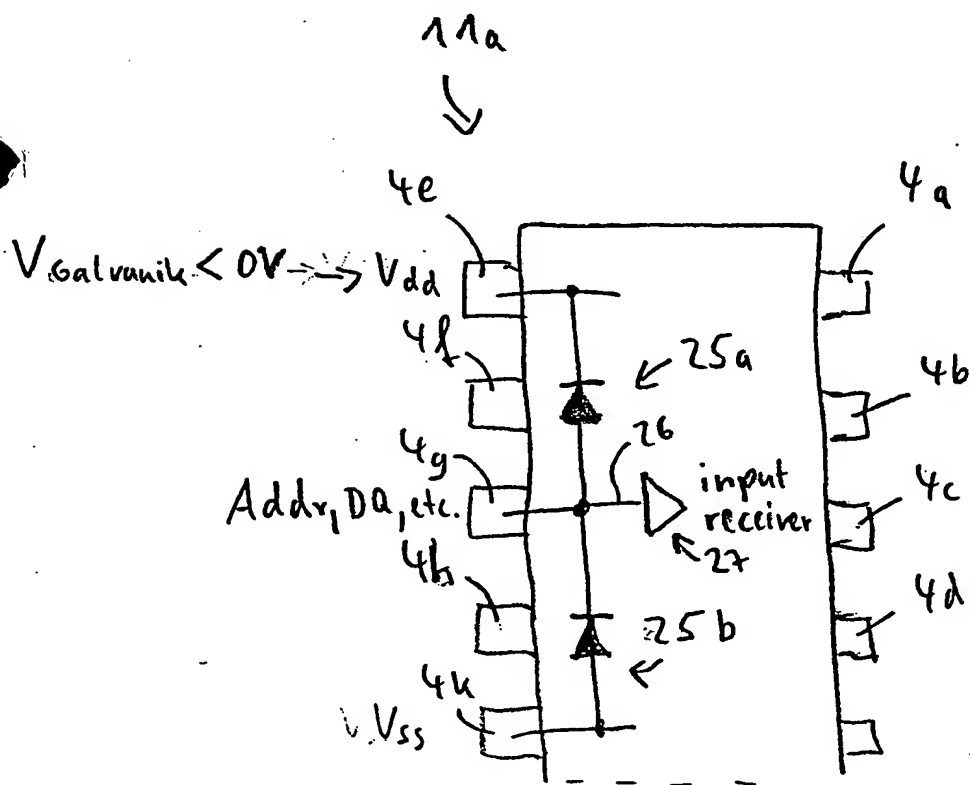


Fig. 10